

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-034706

(43)Date of publication of application : 25.02.1984

(51)Int.Cl.

H03F 3/30

(21)Application number : 57-144474

(71)Applicant : TOSHIBA CORP.

(22)Date of filing : 20.08.1982

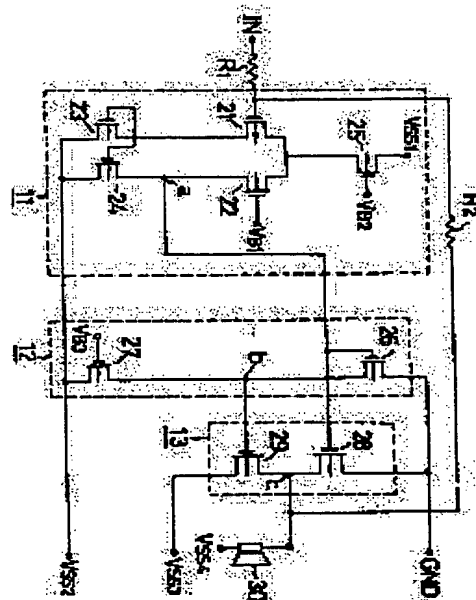
(72)Inventor : ANPO MASAHARU
SASAKI ITSUO

(54) POWER AMPLIFYING CIRCUIT

(57)Abstract:

PURPOSE: To increase the output amplitude with a push-pull constitution of an output stage, by amplifying an analog input signal through an amplifying circuit, amplifying inversely the output by an inverse amplifier and supplying the outputs of these two amplifiers to the gates of two P-MOSFETs.

CONSTITUTION: The potential is fixed at a point (c) when nonsignal is supplied, and a speaker 30 is not actuated. When an analog input signal IN exists, an amplifying part 11 amplifies a change component. Then the potential V_a to the GND at a point (a) changes in the same direction as the change of the potential of the signal IN. A P-MOSFET 26 in an inverse amplifier 12 is turned on when the absolute value of the V_a is larger than the absolute threshold value of the FET 26. The potential V_b is set at about 0V at a point (b) when the FET 26 is turned on. Then a P-MOSFET 28 in a push-pull output part 13 is turned on, and a current corresponding to the potential change of the IN flows to the speaker 30 via the FET 28. Then an FET 29 is turned on when the potential of the IN changes in a direction different from the V_a and at the same time the V_a is slightly larger than the threshold value of the FET 26. Then a current flows to the speaker 30 via the FET 29.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Best Available Copy

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—34706

⑮ Int. Cl.³
H 03 F 3/30

識別記号

庁内整理番号
7827—5 J

⑯ 公開 昭和59年(1984) 2月25日

発明の数 1
審査請求 未請求

(全 11 頁)

⑭ 電力増幅回路

⑰ 特 願 昭57—144474
⑱ 出 願 昭57(1982) 8月20日
⑲ 発 明 者 安保重治
川崎市幸区小向東芝町 1 番地東
京芝浦電気株式会社トランジス
タ工場内

⑲ 発 明 者 佐々木逸夫
川崎市幸区小向東芝町 1 番地東
京芝浦電気株式会社トランジス
タ工場内
⑲ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑲ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

電力増幅回路

2. 特許請求の範囲

(1) アナログ入力信号を増幅する増幅手段と、この手段の出力を反転増幅する反転増幅手段と、一対の電源間に直列挿入され上記増幅手段および反転増幅手段それぞれの出力が各ゲートに供給される同一導電型の 2 個の MOSFET と、上記 MOSFET の直列接続点に一端が接続される負荷手段とを具備したことを特徴とする電力増幅回路。

(2) 前記 2 個の MOSFET の直列接続点の直流電位が前記アナログ入力信号の直流電位と等しく設定されている特許請求の範囲第 1 項に記載の電力増幅回路。

(3) 前記負荷手段の他端が前記アナログ入力信号の直流電位と等しい電位点に接続されている特許請求の範囲第 1 項に記載の電力増幅回路。

(4) 前記増幅手段および反転増幅手段に供給される電源電圧の絶対値が前記 2 個の MOSFET

に供給される電源電圧よりも大きく設定されている特許請求の範囲第 1 項に記載の電力増幅回路。

(5) 前記増幅手段および反転増幅手段に供給される電源電圧は、前記 2 個の MOSFET に供給される電源電圧を昇圧回路を用いて昇圧することにより得るようにした特徴請求の範囲第 1 項に記載の電力増幅回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は集積化するのに適した MOS 形の電力増幅回路に関する。

〔発明の技術的背景とその問題点〕

最近、デジタル音声合成用の集積回路が開発実用化されている。この音声合成用の集積回路は CMOS プロセスにより製造されているため、アナログ出力電流を大きくとろうとすると出力段の素子寸法が極めて大きなものとなり、チップサイズが大型化してしまうことになる。このために従来では音声合成用の集積回路の他に電

力増幅用のバイポーラ形集積回路あるいは外付けのバイポーラトランジスタを用いて、音声合成用集積回路からのアナログ出力を増幅してスピーカを駆動するようにしている。上記音声合成の技術は最近では、電子式小型計算機や電子式腕時計等の小型電子機器に採用されている。このような機器において部品の点数を削減することは価格の低下および信頼性の向上を図る上で最も重要なことであり、したがって上記のように音声合成のために2個の集積回路あるいは、外付け部品を用いることは極めて不経済である。

このため、音声合成用の集積回路の出力段に、MOSFETよりも小さな素子寸法で大きな出力電流を得ることができるバイポーラトランジスタを形成することにより、チップサイズを大型化することなしに出力電流の増大化を図る方法も考えられる。ところがCMOSプロセスではNPNトランジスタしか作れずPNPトランジスタと組合せたプッシュプル構成にできず、かつ出力段に設けられているNPNバイポーラトランジスタに常

に電流を流す必要があるため無信号入力時にも電力が消費され、この結果、消費電力が大きくなってしまい欠点がある。

またバイポーラトランジスタを用いる上記従来の方法ではプッシュプル構成にできないので、バランスドトランスレス(BTL)動作させることはできない。このために出力の振幅を電源電圧以上にすることができず、前記小型電子機器のように低い電源電圧で駆動するような場合には、その電圧に応じた低い出力振幅しか得られないという欠点がある。

〔発明の目的〕

この発明は上記のような事情を考慮してなされたものであり、その目的とするところは1チップ化が可能であり、しかも無信号入力時における電力消費が少なく、かつ出力段をプッシュプル構成にすることによってBTL動作を可能^にし、もって出力振幅を大きくすることができる電力増幅回路を提供することにある。

〔発明の概要〕

上記目的を達成するためこの発明にあっては、アナログ入力信号を増幅回路で増幅し、この出力を反転増幅回路で反転増幅し、上記増幅回路および反転増幅回路の出力を直列接続された2個のPチャネルMOSFETのゲートに供給することによって出力段をプッシュプル構成にしている。しかも上記2個のMOSFETを十分に導通させるために、上記増幅回路および反転増幅回路の電源電圧を出力段のMOSFETに供給する電源電圧よりも大きくしている。

〔発明の実施例〕

以下図面を参照してこの発明の実施例を説明する。第1図はこの発明に係る電力増幅回路の第1の実施例の回路構成図である。この回路はアナログ入力信号INを増幅する増幅部11と、この増幅部11の出力を反転増幅する反転増幅部12と、出力段に設けられたプッシュプル出力部13とを備えている。

上記増幅部11はさらに差動対を構成する一

対のPチャネルMOSFET 21, 22と、負荷用の一対のNチャネルMOSFET 23, 24および電流源用のPチャネルMOSFET 25を備えている。そして上記差動対を構成する一方のMOSFET 21のゲートには抵抗R1を介してアナログ入力信号INが供給される。差動対を構成する他方のMOSFET 22のゲートには所定のバイアス電圧V_{B1}が基準電圧として供給される。上記電流源用のMOSFET 25のソースには所定の電源電圧V_{DD1}が、またゲートには所定のバイアス電圧V_{B2}がそれぞれ供給され、このMOSFET 25には所定の電流が常に流されている。また上記負荷用の一対のMOSFET 23, 24のソースには所定の電源電圧V_{DD2}が供給されている。すなわち、上記増幅部11はバイアス電圧V_{B1}を基準電圧としアナログ入力信号INを増幅する差動増幅回路であり、MOSFET 22と24の共通ドレイン接続点であるa点からアナログ入力信号電位に応じた電位が得られる。

反転増幅部12は基準の電源電圧(GND=0V)

印加点到ソースが接続されたPチャネルMOSFET 26と、このMOSFET 26のドレインにそのドレインが接続されかつそのソースが前記電源電圧 V_{ss2} 印加点到接続されたNチャネルMOSFET 27とを備えている。上記MOSFET 26のゲートには前記a点の電位が供給され、また上記MOSFET 27のゲートには所定のバイアス電圧 V_{b3} が供給されている。すなわち、この反転増幅部 12はMOSFET 27を負荷MOSとしかつMOSFET 26を駆動MOSとするCMOS形のインバータであり、前記a点の電位に応じた反転電位が両MOSFET 26, 27の共通ドレイン接続点であるb点から得られる。

プッシュプル出力部 13は前記GND点にソースが接続されたPチャネルMOSFET 28と、このMOSFET 28のドレインにそのソースが接続されそのドレインが電源電圧 V_{ss3} 印加点到接続されたPチャネルMOSFET 29とを備えている。上記MOSFET 28のゲートには前記a点の電位が、上記MOSFET 29のゲートには前記b点の電位がそ

れぞれ供給されている。そして上記両MOSFET 28, 29の直列接続点、すなわちドレインとソースの接続点であるC点には負荷となるスピーカ30の一端が接続されている。また上記C点と前記MOSFET 21のゲートとの間には、前記抵抗 R_1 とともにこの回路全体のゲインを決定するもう1個の抵抗 R_2 が接続されている。そして上記スピーカ30の他端は前記電源電圧 V_{ss5} の半分の値を持つ電源電圧 V_{ss4} 印加点到接続されている。

また第1図に示す回路を集積化する場合、外部から与えられる電源は0VのGNDと V_{ss5} のみであり、この V_{ss5} の値はたとえば-3Vに設定されている。したがってこの場合、スピーカ30の他端に供給される電源電圧 V_{ss4} は V_{ss5} から作られその値は-1.5Vになる。さらに前記電源電圧 V_{ss2} は、上記 V_{ss5} の-3Vを図示しない電圧昇圧回路でたとえば3倍に昇圧して-9Vに設定している。また電源電圧 V_{ss1} は0Vにし、バイアス電圧 V_{b1} は電源電圧 V_{ss5}

から形成してその値を-1.5Vにし、残り2つのバイアス電圧 V_{b2} の V_{b3} もMOSFET 25, 27それぞれに適当な電流が流れるような値に設定される。なお、この場合、アナログ入力信号INの直流バイアスは-1.5Vであるとする。

次に動作を説明する。まず無信号入力時の場合、すなわちアナログ入力信号INが-1.5V一定の場合には、C点の電位も-1.5Vに設定される。スピーカ30の他端は電源 V_{ss4} により常に-1.5Vに保たれているため、このときスピーカ30には電流は流れず、スピーカ30は駆動されない。

一方、増幅部 11はアナログ入力信号INの変化分を増幅し、a点のGNDに対する電位 V_a はINの電位の変化方向と同一の方向に変化する。いま上記電位 V_a の絶対値 $|V_a|$ がPチャネルMOSFET 26のしきい値電圧 V_{thp} の絶対値 $|V_{thp}|$ よりも大きくなっている場合、すなわち $|V_a| > |V_{thp}|$ の場合、反転増幅部 12内のPチャネルMOSFET 26がオンする。MOSFET 26がオン

することによって、b点の電位 V_b はほぼ0Vになり、これによりプッシュプル出力部 13の一方のMOSFET 29がオフする。またa点の電位 V_a をゲート入力とするプッシュプル出力部 13内の他方のMOSFET 28が、そのゲート電位に応じた導通度をもってオンする。したがってこの場合には、MOSFET 28を介してスピーカ30にはその時のアナログ入力信号INの電位変化に応じた電流が流れる。

次にアナログ入力信号INの電位が上記とは反対の方向に変化して、電位 V_a が V_{thp} よりもわずかに大きくなっている場合、すなわち $|V_a| = |V_{thp} + \alpha|$ となっている場合、 V_a がわずかに変化することによってb点の電位 V_b は V_{thp} から V_{ss2} の範囲で変化する。したがってこの場合b点の電位 V_b をゲート入力とするプッシュプル出力部 13内のMOSFET 29が、そのゲート電位に応じた導通度をもってオンする。すなわち、この時、スピーカ30にはMOSFET 29を介してこの時のアナログ入力信号INの電位変化に応じ

た電流が流れる。なおこの場合、MOSFET 28もオンしここに電流が流れるが、この値はMOSFET 28と26との寸法比とMOSFET 27に流れる電流の値によって決まるので、設計上十分に小さくすることができる。

また上記実施例回路では、プッシュプル出力部13を構成する2個のMOSFETの28, 29ゲート入力信号は、 V_{SS3} よりも絶対値の大きな電源電圧 V_{SS2} が供給されている増幅部11および反転増幅部12から得られるため、MOSFET 28, 29それぞれの電流駆動能力を高めることが可能となる。すなわちいま V_{SS2} として-3Vをそのまま与えたとすると、MOSFET 28のゲート・ソース間電圧は最大で3Vになる。また V_{SS} を-9Vにした場合、上記ゲート・ソース間電圧は最大で9Vになる。ところで、一般にPチャネルMOSFETのオン抵抗 R_{ONP} は次式で表われる。

$$R_{ONP} = \frac{1}{\frac{1}{2} \cdot \frac{W}{L} \cdot C_{ox} \cdot \mu_P (V_{GS} - V_{thp})} \quad \dots (1)$$

を-3Vの時よりも高めることができる。

一方、MOSFET 29についてはバックゲート効果の影響や、ゲート・ソース間電圧が V_b と同じ値とはならない等の問題があるために、MOSFET 28の場合と同じ条件にはならないが、 V_{SS2} を-9Vに設定した場合の方が-3Vに設定した場合よりも駆動能力を高めることができる。

このように上記実施例回路はMOSFETのみで構成されるため容易に1チップ化が可能であり、また無信号入力時、出力段には電流がほとんど流れないため電力消費を少なくすることができる。しかも出力段の電流駆動能力を高めることができる。なお、上記実施例回路ではアナログ入力信号INがMOSFET 21のゲートに供給されているため、INの電位が0Vに近づくときC点の電位が-3Vに近づくという反転増幅形の電力増幅回路となる。したがってこの時のゲインGは $-R_2/R_1$ となる。

第2図はこの発明の第2の実施例の回路構成図である。この実施例回路ではアナログ入力信

W:チャネル幅

L:チャネル長

C_{ox} :ゲート絶縁膜の容量

μ_P :ホール移動度

V_{GS} :ゲート・ソース間電圧

V_{thp} :しきい値電圧

いま V_{thp} を1Vと仮定すると、 V_{SS2} として-3Vをそのまま用いた場合の R_{ONP} の値 $R_{ONP}(3)$ は次の第2式のようになる。

$$R_{ONP}(3) = \frac{1}{\frac{1}{2} \cdot \frac{W}{L} \cdot C_{ox} \cdot \mu_P (3-1)} \quad \dots (2)$$

一方、 V_{SS2} を-9Vにした場合の R_{ONP} の値 $R_{ONP}(9)$ は次の第3式のようになる。

$$R_{ONP}(9) = \frac{1}{\frac{1}{2} \cdot \frac{W}{L} \cdot C_{ox} \cdot \mu_P (9-1)} \quad \dots (3)$$

上記第2および第3式から明らかなように、 $V_{SS2} = -9V$ とした場合のMOSFET 28のオン抵抗を、 $V_{SS2} = -3V$ とした場合の1/4の値にすることができる。このため V_{SS2} を-9Vに設定することによって、MOSFET 28の電流駆動能力

号INを前記増幅部11内のMOSFET 22のゲートに供給し、バイアス電圧 V_{b1} を前記抵抗 R_1 を介してMOSFET 21のゲートに供給することによって、正相増幅形の電力増幅回路を構成するようにしたものである。したがって、この実施例回路のゲインGは $(R_1 + R_2)/R_1$ となる。

ところで上記第1図および第2図に示す実施例回路において、たとえば電源電圧 V_{SS1} が電源電圧 V_{SS3} と同電位に設定されているような場合には、a点の電位 V_a は最小でも V_{SS3} と等しい電位すなわち-3Vしかならない。するとMOSFET 26がオンしたままとなり、この結果、MOSFET 29がオフしたままとなり正常動作しなくなってしまう。

第3図は第1図に示す実施例の変形例の回路構成図であり、上記のような不都合を解消するようにしたものである。すなわちこの変形例回路では、前記MOSFET 23のドレインにNチャネルMOSFET 31のゲートを接続してカレントミラー回路32を構成し、さらに前記MOSFET 24の

のドレインにNチャネルMOSFET 33のゲートを接続してカレントミラー回路34を構成し、上記両MOSFET 31, 33の負荷としてカレントミラー接続された一対のPチャネルMOSFET 35, 36を設けるようにしたものである。そして上記MOSFET 35と31の直列接続点であるd点電位が前記MOSFET 26, 28のゲートに供給されている。すなわち、この変形例回路では、最大でも-3Vから-9Vの範囲内でしか変化しないa点の電位変化を、2つのカレントミラー回路32, 34と負荷となるMOSFET 35, 36とにより0V~-9Vの電位変化に拡大してMOSFET 26, 28のゲートに供給することによって、正常動作を行なわせるようにしたものである。

第4図は第1図に示す実施例の他の変形例の回路構成図である。上記第3図の回路ではMOSFET 31と33および35と36のドレイン・ソース間電圧相互にばらつきがあると入力オフセットが生じてしまう。このために、この変形

例回路ではMOSFET 36, 38間に所定のゲートバイアス電圧 V_{b4} が供給されているNチャネルMOSFET 37のドレイン・ソース間を挿入することによって上記ドレイン・ソース間電圧のばらつきを補正し、これによって入力オフセットの補償するようにしたものである。

第5図は第1図に示す実施例のさらに他の変形例の回路構成図である。この変形例回路では第4図中のMOSFET 37を挿入する代わりに、MOSFET 35, 31間に所定のゲートバイアス電圧 V_{b5} が供給されている。NチャネルMOSFET 38のドレイン・ソース間を挿入することによって、前記入力オフセットの補償を行なうようにしたものである。

第6図は第1図に示す実施例の異なる他の変形例の回路構成図である。この変形例回路では第4図中のMOSFET 37と第5図中のMOSFET 38を両方備えることによって前記入力オフセットの補償を行なうようにしたものである。

第7図は第1図に示す実施例のさらに異なる

他の変形例の回路構成図である。この変形例回路では第3図の回路に、NチャネルMOSFET 39およびNチャネルMOSFET 40からなるソースフォロワ回路41を追加し、b点の電位 V_b をこのソースフォロワ回路41で受けてインピーダンス変換し、この出力で前記MOSFET 29を駆動するようにしたものである。

第8図は第1図に示す実施例のもう1つの変形例の回路構成図である。第7図の回路ではMOSFET 28が十分にオンしている場合、ソースフォロワ回路41を設けたことによってMOSFET 39の存在によりMOSFET 29のゲート電位が V_{thp} 以上となることがある。するとこのMOSFET 29もオンして、MOSFET 28, 29が同時にオンしてしまうことになる。このため、この変形例回路では第7図の回路において、MOSFET 29のゲートとGNDとの間に、前記d点の電位がゲートに供給されているPチャネルMOSFET 42をさらに挿入するようにしている。このような構成であれば、MOSFET 28が十分にオンするとき

にはMOSFET 42もオンして、MOSFET 29のゲート電位をほぼ0Vに設定し得る。

第9図は第1図に示す実施例の異なるもう1つの変形例の回路構成図である。この変形例回路では、第8図の回路に前記入力オフセット補償用の2つのMOSFET 37, 38を追加するようにしたものである。

第10図は第1図に示す実施例のさらに異なる他のもう1つの変形例の回路構成図である。この変形例回路では、第9図の回路にPチャネルMOSFET 43, 44からなるソースフォロワ回路45をさらに追加し、前記d点の電位をこのソースフォロワ回路45で受けてインピーダンス変換し、この出力で前記MOSFET 26, 28, 42を駆動するようにしたものである。

第11図は第1図に示す実施例の変形例の回路構成図である。第1図の実施例回路では差動対を一対のPチャネルMOSFET 21, 22で構成するようにしたが、この変形例回路では一対のNチャネルMOSFET 51, 52で構成するように

している。このため負荷 MOSFET は N チャンネルのものから P チャンネルの MOSFET 53, 54 に置き変わり、さらに電流源用 MOSFET は P チャンネルのものから N チャンネルの MOSFET 55 に置き変わっている。

また上記第 11 図に示す変形例に対して、前記第 3 図、第 4 図、第 7 図、第 8 図、第 9 図、および第 10 図と同様の変形をそれぞれ施すことも可能である。ただし第 9 図および第 10 図の変形を施す場合、MOSFET 38, に対応するものは除外されねばならない。ちなみに第 12 図の回路は、上記第 11 図の変形例回路に対して前記第 4 図および第 8 図と同様の変形を施すようにしたものである。この場合、前記 N チャンネル MOSFET 31, 33, 37 それぞれは P チャンネル MOSFET 56, 57, 58 それぞれに置き変わり、かつ P チャンネル MOSFET 35, 36 は N チャンネル MOSFET 59, 60 に置き変わっている。さらに前記第 2 図に示すこの発明の第 2 の実施例回路にも、前記第 3 図ないし第 11 図

- 1.5 V を中心にして互いに逆方向に同じ電位だけ変化するのでスピーカ 30 は BTL 駆動されることになる。そしてこの場合にスピーカ 30 の両端に加わる電圧の変化範囲は最大で 3 V の倍の 6 V となる。したがってこの回路構成のように BTL 接続することにより、より大きな出力振幅でスピーカ 30 を駆動することができる。なお第 13 図では各パワードウン信号 $\overline{\text{PDN}}$, $\overline{\text{PDN}}$, $\overline{\text{PDN}}$ をゲート入力とする MOSFET をさらに設け、スタンバイ時にこれらの MOSFET をオンあるいはオフ状態に設定することによって低消費電力化を実現している。そして上記信号 $\overline{\text{PDN}}$, $\overline{\text{PDN}}$ は -3 V 系の信号であり、 $\overline{\text{PDN}}$ は -9 V 系のものである。また第 13 図において 300 は -3 V の電圧を 3 倍に昇圧して -9 V を得るための昇圧回路である。この昇圧回路 300 はコンデンサを用いた周知の回路を用いることができ、この他に 3 倍圧以上のものを用いるようにしてもよい。

この発明は上記した実施例に限定されるもの

と同様の変形をそれぞれ施すこともできる。

第 13 図はこの発明の応用例を示し、上記第 12 図に示す回路を基本とする電力増幅回路を 2 回路設けて BTL 接続するようにしたものである。この回路では一方の電力増幅回路 100 にアナログ入力信号 IN を直接供給してその出力をスピーカ 30 の一端に供給するとともに、この回路 100 の出力を他方の電力増幅回路 200 に入力として供給しさらにその出力をスピーカ 30 の他端に供給するようにしたものである。また上記両回路 100, 200 において、差動対を構成する各一方の MOSFET 52 へのゲートバイアス電圧 V_{gs} は、0 V 印加点と -3 V 印加点との間に直列挿入されている等価な一對の抵抗 61, 62 によって -1.5 V に設定されている。

この回路では無信号入力時、両回路 100, 200 の C 点の電位はともに -1.5 V に設定されるため、スピーカ 30 には電流はほとんど流れない。またアナログ入力信号電位が変化する場合、両回路 100, 200 の C 点の電位は

ではなくさらに種々の変形が可能である。たとえば MOSFET の P チャンネル、N チャンネルのチャネル形をすべて反対のものに置き替えて、電流源電圧として正極性のものを供給するようにしてもよい。

〔発明の効果〕

以上説明したようにこの発明によれば、1 チップ化が可能であり、しかも無信号入力時における電力消費が少なく、かつ出力段をプッシュプル構成にすることによって BTL 動作を可能としもって出力振幅を大きくすることが可能な電力増幅回路を提供することができる。

4. 図面の簡単な説明

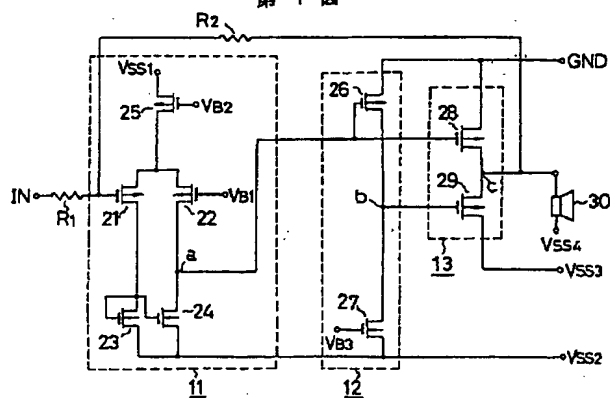
第 1 図はこの発明の第 1 の実施例の回路構成図、第 2 図はこの発明の第 2 の実施例の回路構成図、第 3 図ないし第 12 図はそれぞれ第 1 図の変形例の回路構成図、第 13 図はこの発明の応用例の回路構成図である。

11…増幅部、12…反転増幅部、13…プッシュプル出力部、21, 22, 25, 26,

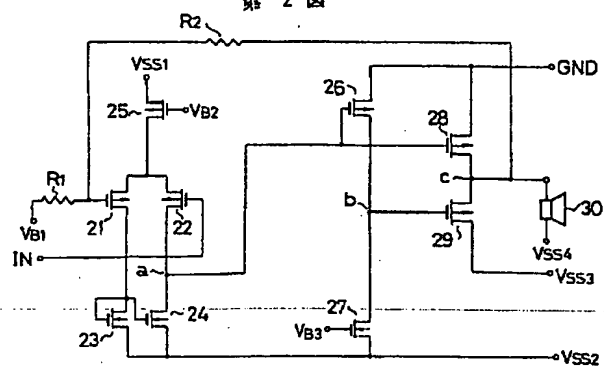
28, 29, 35, 36, 42, 53, 54,
56, 57, 58... Pチャネル MOSFET、23,
24, 27, 31, 33, 37, 38, 39,
40, 51, 52, 55, 59, 60... Nチャ
ネル MOSFET、30...スピーカ、32, 34...カ
レントミラー回路。

出願人代理人 弁理士 鈴 江 武 彦

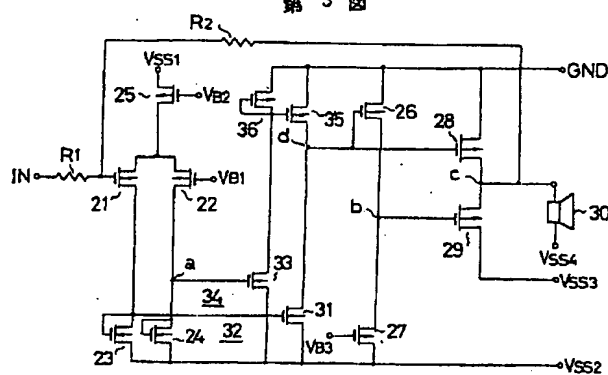
第 1 圖



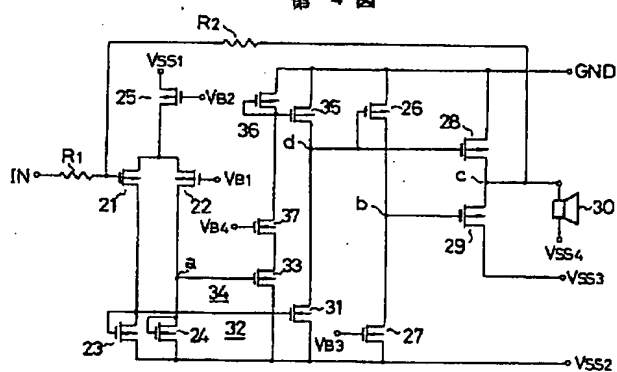
第 2 圖



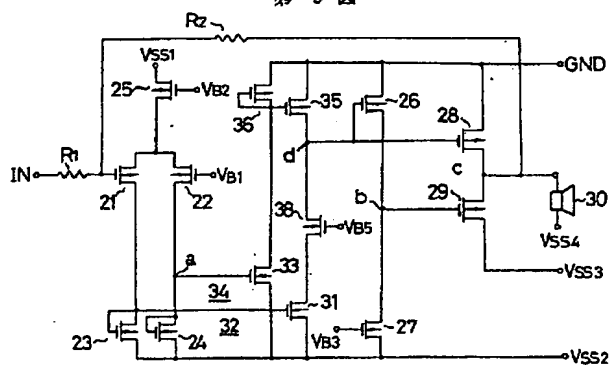
第 3 図



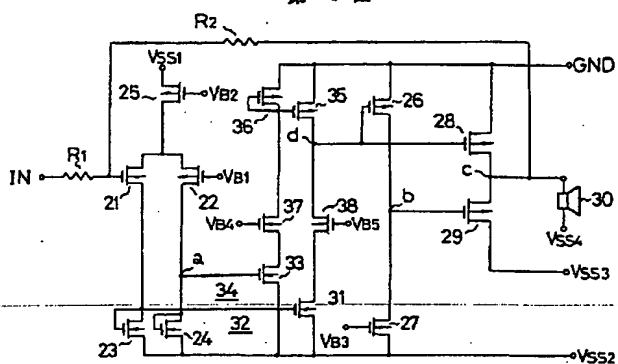
第 4 図



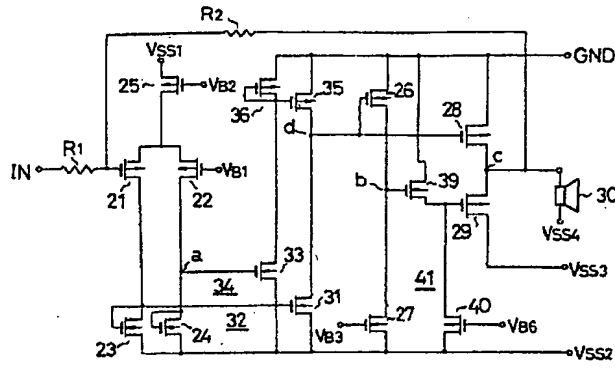
第 5 図



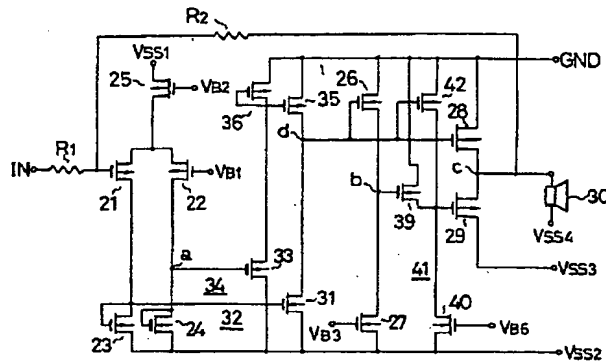
第 6 図



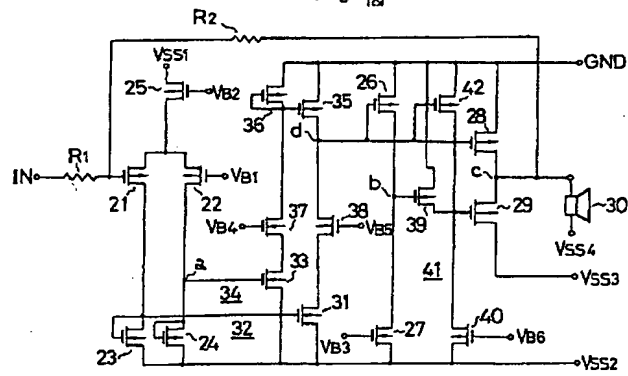
第 7 圖



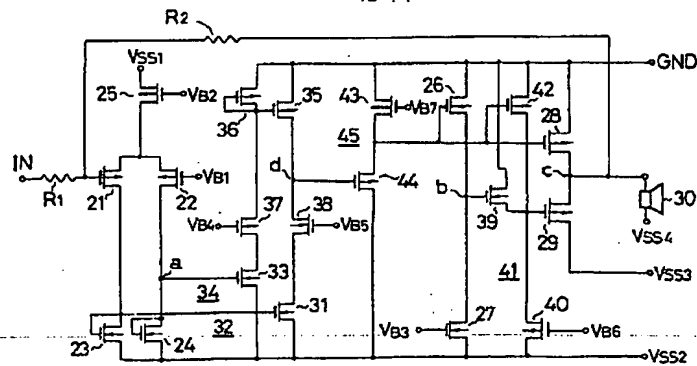
第 8 圖



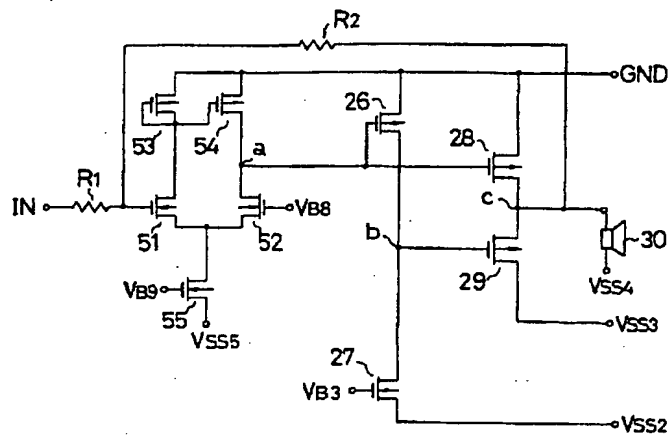
第 9 圖



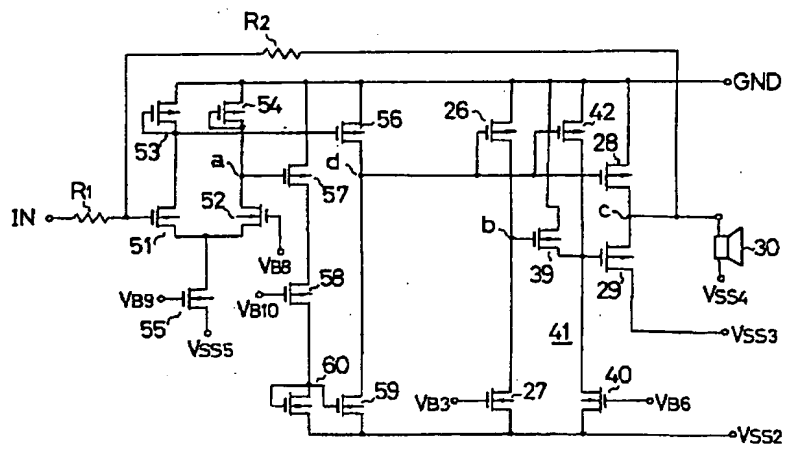
第 10 圖



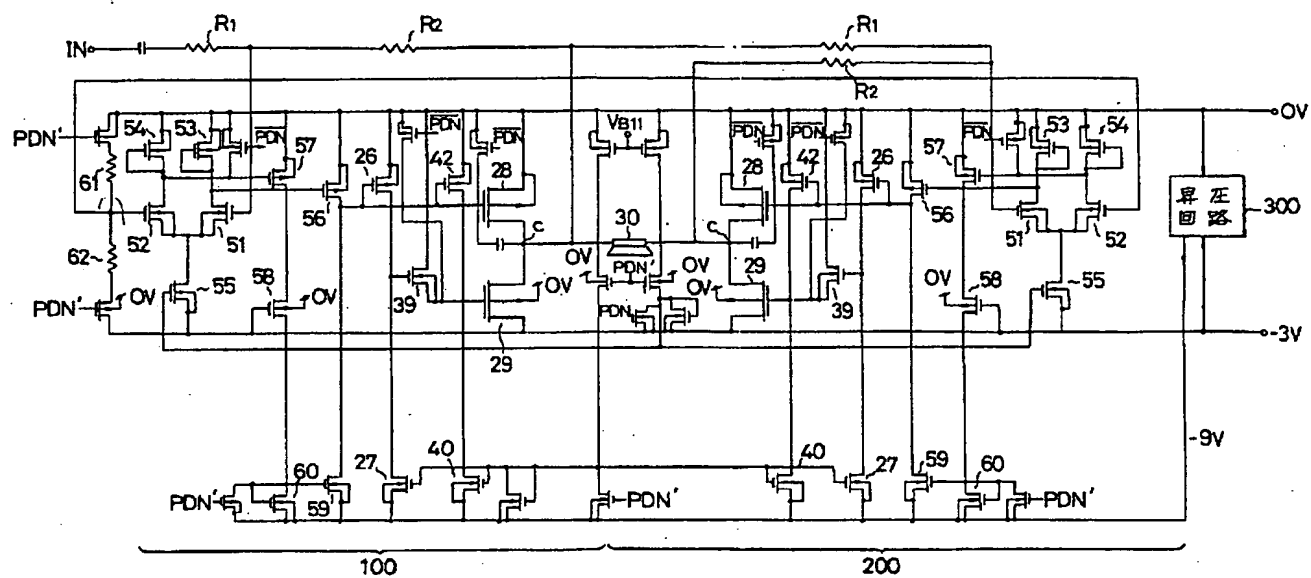
第 11 図



第 12 図



第 13 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.